

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033053

(43)Date of publication of application : 31.01.2002

(51)Int.Cl.

H01J 11/02
C23C 14/08
H01J 9/02
H04N 5/66

(21)Application number : 2000-216700

(71)Applicant : NEC CORP
NEC KAGOSHIMA LTD

(22)Date of filing : 17.07.2000

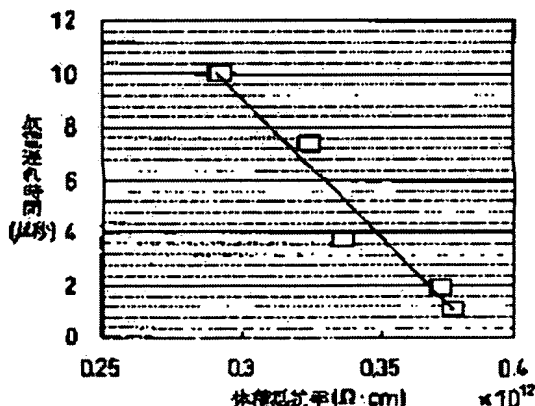
(72)Inventor : ITO KEN
OGURA TAKESHI
UEDA KENTARO
HIRANO TOSHIKI

(54) PROTECTING FILM, METHOD OF FORMING THE SAME, PLASMA DISPLAY PANEL AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a protecting film capable of improving the luminance, reducing the writing failure and reducing a driving circuit by shortening the discharge delay time while securing the sufficient spattering resistance, and to provide a method of forming the protecting film and a method of manufacturing a plasma display panel.

SOLUTION: Discharge delay time is shortened with a rise of the volume resistivity. An allowable range of the discharge delay time depends on a PDP driving method and shape of a discharge cell. For example, when a discharge delay time exceeds about 4 μ seconds, scanning from both upper and lower ends of the PDP is required to secure the scanning time. Since it is necessary to set the scanning pulse width long, the number of maintaining pulse is limited, and it is hard to obtain the sufficient luminance. When the discharge delay time is less than about 4 μ seconds, a sufficient scanning period can be secured by the scanning from one side, and the driving circuit can be reduced. Furthermore, since the scanning pulse having a width for requiring the limitation of the number of maintaining pulse is unnecessary, the sufficient luminance can be obtained.



LEGAL STATUS

[Date of request for examination]

16.05.2005

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-33053

(P2002-33053A)

(43)公開日 平成14年1月31日(2002.1.31)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 J 11/02		H 0 1 J 11/02	B 4 K 0 2 9
C 2 3 C 14/08		C 2 3 C 14/08	J 5 C 0 2 7
H 0 1 J 9/02		H 0 1 J 9/02	F 5 C 0 4 0
H 0 4 N 5/66	1 0 1	H 0 4 N 5/66	1 0 1 A 5 C 0 5 8

審査請求 未請求 請求項の数13 O L (全 15 頁)

(21)出願番号 特願2000-216700(P2000-216700)

(22)出願日 平成12年7月17日(2000.7.17)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000181284

鹿児島日本電気株式会社

鹿児島県出水市大野原町2080

(72)発明者 伊藤 研

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100090158

弁理士 藤巻 正憲

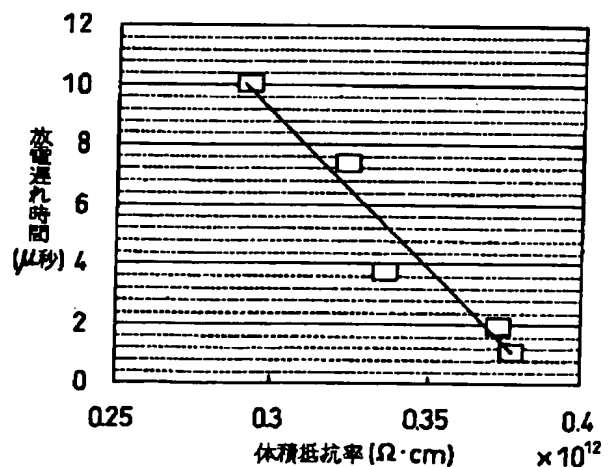
最終頁に続く

(54)【発明の名称】 保護膜、その成膜方法、プラズマディスプレイパネル及びその製造方法

(57)【要約】

【課題】 十分な耐スパッタリング性を確保しながら放電遅れ時間を短縮することにより、輝度を向上させ、書き込み不良を低減し、駆動回路を減少することができる保護膜、その成膜方法、プラズマディスプレイパネル及びその製造方法を提供する。

【解決手段】 体積抵抗率が上昇するに従って放電遅れ時間は短縮する。放電遅れ時間の許容範囲は、PDPの駆動方法及び放電セルの形状等に依存するものであるが、例えば放電遅れ時間が約4 μ 秒以上となると、走査期間の確保のためにPDPの上下両端からの走査が必要とされる。また、走査パルスの幅を長く設定する必要があるため、維持パルス数が制限され、十分な輝度を得ることが困難である。これに対し、放電遅れ時間が4 μ 秒未満であると、一方からの走査で十分な走査期間の確保が可能なので、駆動回路を低減できる。また、維持パルス数を制限するほどの幅の走査パルスは必要ないので、十分な輝度を得ることができる。



【特許請求の範囲】

【請求項 1】 プラズマディスプレイパネルに設けられる誘電体層を放電から保護する保護膜において、金属酸化物を含有し体積抵抗率が $3.5 \times 10^{11} \Omega \cdot \text{cm}$ 以上であることを特徴とする保護膜。

【請求項 2】 全体の原子の数を 100 としたとき水素原子を 3 原子以上含有することを特徴とする請求項 1 に記載の保護膜。

【請求項 3】 プラズマディスプレイパネルに設けられる誘電体層を放電から保護する保護膜において、金属酸化物と、全体の原子の数を 100 としたときの原子の数が 3 以上となる水素と、を含有することを特徴とする保護膜。

【請求項 4】 前記金属酸化物は MgO であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の保護膜。

【請求項 5】 カソードルミネッセンスにおいて 510 乃至 560 nm における発光中心の発光強度のピークが 280 乃至 440 nm 又は 680 乃至 760 nm における発光中心の発光強度のピークよりも高いことを特徴とする請求項 4 に記載の保護膜。

【請求項 6】 前記水素原子の数は、全体の酸素原子及び金属原子の総欠損数以上であることを特徴とする請求項 5 に記載の保護膜。

【請求項 7】 励起又は電離状態の水素を含む雰囲気中で熱処理することにより形成されたことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の保護膜。

【請求項 8】 表面粗さ R_a が 5 nm 以上であることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の保護膜。

【請求項 9】 (111) 配向を示すことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の保護膜。

【請求項 10】 金属酸化物膜を形成する工程と、前記金属酸化物膜を励起又は電離状態の水素を含む雰囲気中で熱処理する工程と、を有することを特徴とする保護膜の成膜方法。

【請求項 11】 励起又は電離状態の水素を含む雰囲気中で熱処理しながら金属酸化物を含有する膜を形成する工程を有することを特徴とする保護膜の成膜方法。

【請求項 12】 請求項 1 乃至 9 のいずれか 1 項に記載の保護膜を有することを特徴とするプラズマディスプレイパネル。

【請求項 13】 請求項 10 又は 11 に記載の方法により保護膜を成膜する工程を有することを特徴とするプラズマディスプレイパネルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プラズマディスプレイの誘電体層を放電から保護する膜として好適な保護膜、その成膜方法、プラズマディスプレイパネル及びそ

の製造方法に関し、特に、放電特性の向上を図った保護膜、その成膜方法、プラズマディスプレイパネル及びその製造方法に関する。

【0002】

【従来の技術】 一般に、プラズマディスプレイパネル (PDP) は、薄型構造でちらつきがなく表示コントラスト比が大きいこと、また、比較的に大画面とすることが可能であり、応答速度が速く、自発光型で蛍光体の利用により多色発光も可能であること等、数多くの特徴を有している。このため、近年、コンピュータ関連の表示装置分野及びカラー画像表示の分野等において、広く利用されるようになりつつある。

【0003】 このプラズマディスプレイには、その動作方式により、電極が誘電体で被覆されて間接的に交流放電の状態で作動させる交流駆動型のものと、電極が放電空間に露出して直流放電の状態で作動させる直流駆動型のものとがある。更に、交流駆動型のプラズマディスプレイには、駆動方式として放電セルのメモリを利用するメモリ動作型と、それを利用しないリフレッシュ動作型とがある。なお、交流駆動型プラズマディスプレイの輝度は、放電回数に比例する。上記のリフレッシュ型の場合は、表示容量が大きくなると輝度が低下するため、小表示容量のプラズマディスプレイに対して主として使用されている。

【0004】 図 16 はメモリ動作型の交流駆動型カラープラズマディスプレイの構造を示す模式的分解図である。

【0005】 PDP には、ガラスからなる 2 つの絶縁基板 101 及び 102 が設けられている。絶縁基板 101 は後面基板となり、絶縁基板 102 は前面基板となる。

【0006】 絶縁基板 102 における絶縁基板 101 との対向面側には、透明電極 103 及び 104 が設けられている。透明電極 103 及び 104 は、パネルの水平方向 (横方向) に延びている。また、夫々透明電極 103 及び 104 に重なるようにトレース電極 105 及び 106 が配置されている。トレース電極 105 及び 106 は、例えば金属製であり、各電極と外部の駆動装置との間の電極抵抗値を小さくするために設けられている。更に、透明電極 103 及び 104 を覆う誘電体層 112、誘電体層 112 上に形成されパネルの垂直方向 (縦方向) に延びる複数のブラックストライプ層 108、このブラックストライプ層 108 の間に形成された赤色 (R)、緑色 (G) 及び青色 (B) のカラーフィルタ層 110R、110G 及び 110B、並びに誘電体層 112 及び透明電極 103 等を放電から保護する保護膜 114 が設けられている。

【0007】 なお、PDP は放射された紫外線が蛍光体を励起して R、G、B の各可視光を出すものであり、カラーフィルタ層は必ずしも必要ない。カラーフィルタ層は蛍光体による発光色のスペクトラムを補正するため

ある。

【0008】絶縁基板101における絶縁基板102との対向面側には、透明電極103及び104と直交するデータ電極107が設けられている。従って、データ電極107は、垂直方向に延びる。また、水平方向で表示セルを区切る隔壁109が設けられている。隔壁109はブラックストライプ層108と対向する。また、データ電極107を覆う誘電体層113が設けられ、隔壁109の側面及び誘電体層113の表面上に放電ガスの放電により発生する紫外線を可視光に変換する蛍光体層111が形成されている。そして、絶縁基板101及び102の空間に隔壁109により放電ガス空間が確保され、この放電ガス空間内に、ヘリウム、ネオン若しくはキセノン等又はこれらの混合ガスからなる放電ガスが充填される。

【0009】保護膜114は、前述のように、放電時のイオン衝撃によるスパッタリングから誘電体層112及び透明電極103等を保護する目的で設けられており、また、保護膜114は、放電ガス空間に接するため、その材質及び膜質が放電特性に大きな影響を与える。また、交流駆動型PDPでは、低消費電力化、駆動回路の簡素化、高精細化及び大画面化が重要な要素となっている。

【0010】このため、一般に保護膜114の材料には、酸化マグネシウム(MgO)が使用されている。MgOは、耐スパッタリング性に優れ、且つ2次電子放出係数が大きい絶縁物だからである。MgOを使用することにより、放電開始電圧を下げて、PDPの駆動が可能になっている。

【0011】次に、PDPにおける保護膜の成膜方法について説明する。保護膜は、一般に真空蒸着法という方法により成膜されている。図17は従来の保護膜の成膜装置を示す模式図である。

【0012】従来の成膜装置には、蒸着チャンバ121が設けられている。蒸着チャンバ121の上部には、誘電体膜等が既に形成されMgO膜が形成される基板124が取り付けられる。また、蒸着チャンバ121の下部には、保護膜の原料としてMgOからなる蒸着源125が取り付けられる。また、蒸着チャンバ121には、基板124を加熱するヒータ132並びにO₂ガス用のガス導入口(図示せず)が設けられている。

【0013】このように構成された従来の成膜装置を使用して保護膜を製造する場合、先ず、蒸着チャンバ121の上部に基板124を固定し、基板124をヒータ132により加熱すると共に、蒸着チャンバ121内を排気する。次に、MgO膜の結晶配向を揃えるために、酸素ガスを蒸着チャンバ121内に導入しながら、電子ビーム133を蒸着源125に照射することにより、基板124の蒸着源125に対向する面上にMgO膜を保護膜として形成する。

【0014】また、MgO膜の配向性を向上させるため、励起又は電離状態の水素原子を含む雰囲気中でMgO膜を成膜する方法が開示されている(特開平9-295894号公報)。

【0015】更に、保護膜の2次電子放出係数を向上させて放電電圧を低下することを目的として、保護膜の配向を(n00)又は(mm0)配向とすると共に、表面粗さを30nm以上としたPDPが開示されている(特開平11-3665号公報)。

【0016】

【発明が解決しようとする課題】而して、従来のメモリ動作型のAC型PDPの表示動作においては、先ず、透明電極103及び104に放電電圧パルスを印加し、放電空間内に放電を発生させる。この放電により、保護膜114の放電空間側の表面上で、透明電極103及び104が対面する部分に、各電極に印加された極性と反対の極性を有する電荷を蓄積する(壁電荷形成過程)。

【0017】その後、透明電極103及び104に前記放電電圧パルスとは反対の極性の電圧を印加し、放電空間内にもう一度放電を発生させる。この放電により、蓄積された電荷(壁電荷)が取り去られ、PDPの全面に亘って壁電荷が存在しないことになる(壁電荷の消去の過程又は消去過程)。

【0018】次に、透明電極103に順次所定の電圧を印加することで走査していき、電圧印加状態にある透明電極103と、この透明電極103に属する発光セルのうち、表示したい発光セルに対応するデータ電極107との間に所定の電圧を印加することにより、この発光セルを表示させる準備として壁電荷を蓄積する(書き込み過程)。

【0019】次に、PDP全面の透明電極103及び104に維持放電パルス電圧を印加することにより画像表示を行う。なお、この維持放電パルス電圧の電圧値は、放電パルス電圧の電圧値よりも低く設定されているので、書き込み過程において壁電荷を形成されていない発光セルでは発光は起こらず、書き込み放電を行った発光セルのみが発光し、画像表示が行なわれる(表示放電過程)。なお、階調表示については、階調数に応じて、そのパルス数が異なる8種類程度の維持放電パルス群を時系列的に組み合わせることにより、256段階程度の表示階調を実現している(サブフィールド階調法)。

【0020】図18(a)及び(b)は横軸に時間を取り、縦軸に発光強度及び電圧をとって印加電圧と放電遅れ発光との関係を示すグラフ図である。PDPにおいて、放電の遅れ、即ち、発光の遅れがない場合には、図18(a)に示すように、書き込みパルス印加開始に対応してほぼ一斉に放電が開始されるため、非常に鋭いピークを有する発光強度特性が得られる。これに対して、各発光セルに2次電子放出効率に応じた放電遅れがある場合は、書き込みパルスの印加開始に対応して各発光セ

ルがバラバラに放電を開始する。このため、図 18

(b) に示すように、放電遅れがない場合に比べて、発光強度のピークが低く、且つその幅が広がっている。しかも、この書き込みパルス印加時間内に全ての発光セルが一斉に放電を開始するわけではない。このため、書き込みパルスの印加終了時点でも、なお書き込みが完了しない発光セルが残ることになる。なお、図 18 (b) 中に破線により示した箇所は、図示された書き込みパルスの期間よりも長く書き込みパルスが印加された場合の発光強度の一例であり、書き込みパルスの印加中に本来書き込み放電すべき発光セルが放電できないこと、即ち、書き込み動作がより不完全となることを表している。この場合、放電の遅れを PDP 全面における発光セルの発光として観察した場合、画面表示のちらつきとして観察される。従って、図 18 (b) に示すように、保護膜 114 (MgO 膜) の 2 次電子放出効率が低下している場合には、PDP の高精細化及び高階調化に伴い、書き込みパルスの印加時間が短縮されることになり、放電の遅れ及び書き込み動作が不完全になるという問題点がある。

【0021】しかしながら、図 17 に示す成膜装置を使用した従来の成膜方法により形成された保護膜を使用すると、書き込み放電の形成時間が長くなり、規定時間内に放電が開始されないという書き込み不良が発生しやすい。特に、時間的及び空間的に孤立点となる表示セルにおける放電の遅延が長く、このような場合、書き込み走査パルス幅を長く設定する必要がある。しかし、走査パルス幅を長くすると、輝度の向上に必要な維持パルス数が制約され、また、画面の上半分と下半分を個別に走査するデュアルスキャンによる駆動が必要となるという問題点がある。つまり、デュアルスキャンの場合、シングルスキャンと比較すると、駆動回路の数が極めて多く、低コスト化の妨げとなる。また、従来の成膜方法では結晶粒径が小さいため、放電開始電圧が高いという問題点もある。

【0022】また、特開平 9-295894 号公報に記載された成膜方法では、配向性は向上されるものの、その配向面は一定ではない。このため、耐スパッタリング性が不十分となる場合がある。また、結晶粒径が小さくなり、放電開始電圧が高くなる。同様に、特開平 11-3665 号公報に記載された PDP では、保護膜としての耐スパッタリング性は十分ではない。

【0023】本発明はかかる問題点に鑑みてなされたものであって、十分な耐スパッタリング性を確保しながら放電遅れ時間を短縮することにより、輝度を向上させ、書き込み不良を低減し、駆動回路を減少することができる保護膜、その成膜方法、プラズマディスプレイパネル及びその製造方法を提供することを目的とする。

【0024】

【課題を解決するための手段】本発明に係る保護膜は、

プラズマディスプレイパネルに設けられる誘電体層を放電から保護する保護膜において、金属酸化物を含有し体積抵抗率が $3.5 \times 10^{11} \Omega \cdot \text{cm}$ 以上であることを特徴とする。

【0025】このとき、全体の原子の数を 100 としたとき水素原子を 3 原子以上含有することができる。

【0026】本発明に係る他の保護膜は、プラズマディスプレイパネルに設けられる誘電体層を放電から保護する保護膜において、金属酸化物と、全体の原子の数を 100 としたときの原子の数が 3 以上となる水素と、を含有することを特徴とする。

【0027】本発明においては、保護膜の体積抵抗率及び/又は水素原子の含有量が規定されている。これらの体積抵抗率及び水素原子の含有量について、PDP における書き込みの放電遅れ時間及び放電電圧等と密接な関係を有することが本願発明者により見出され、これらを適切な範囲に規定することにより、放電遅れ時間の短縮、放電電圧の低下及び輝度の向上等が達成される。

【0028】なお、前記金属酸化物は MgO であってもよく、カソードルミネッセンスにおいて 510 乃至 560 nm における発光中心の発光強度のピークが 280 乃至 440 nm 又は 680 乃至 760 nm における発光中心の発光強度のピークよりも高くてもよい。このとき、前記水素原子の数を、全体の酸素原子及び金属原子の総欠損数以上としてもよい。

【0029】また、このような保護膜は、例えば励起又は電離状態の水素を含む雰囲気中で熱処理することにより形成することができる。

【0030】更に、表面粗さ Ra が 5 nm 以上であつてもよく、(111) 配向を示すことが望ましい。(111) 配向を示すことにより、高い耐スパッタリング性を得ることができる。

【0031】本発明に係るプラズマディスプレイパネルは、上述のいずれかの保護膜を有することを特徴とする。

【0032】本発明に係る保護膜の成膜方法は、金属酸化物膜を形成する工程と、前記金属酸化物膜を励起又は電離状態の水素を含む雰囲気中で熱処理する工程と、を有することを特徴とする。

【0033】本発明に係る他の保護膜の成膜方法は、励起又は電離状態の水素を含む雰囲気中で熱処理しながら金属酸化物を含有する膜を形成する工程を有することを特徴とする。

【0034】本発明に係るプラズマディスプレイパネルの製造方法は、上述のいずれかの方法により保護膜を成膜する工程を有することを特徴とする。

【0035】

【発明の実施の形態】本願発明者が前記課題を解決すべく、鋭意実験研究を重ねた結果、保護膜の体積抵抗率又は水素含有量を所定の範囲に規定することにより、放電

遅れ時間を短縮することができるを見出した。更に、保護膜の配向が(111)配向であれば、最も良好な耐スパッタリング性を確保することができる。

【0036】以下、本発明に係る保護膜について、更に説明する。まず、保護膜の体積抵抗率及び水素含有量について説明する。

【0037】体積抵抗率： $3.5 \times 10^{11} \Omega \cdot \text{cm}$ 以上
本願発明者が体積抵抗率と放電遅れ時間との関係について検討した結果、以下のような関係を見出した。図1は横軸に体積抵抗率をとり、縦軸に放電遅れ時間をとって両者の関係を示すグラフ図である。

【0038】図1に示すように、体積抵抗率が上昇するに従って放電遅れ時間が短縮されている。放電遅れ時間は、PDPの駆動方法及び放電セルの形状等に依存する。また、放電遅れ時間の許容範囲は走査ライン数、駆動方式等に依存する。図1に示すグラフを得る際に使用したPDPでは、放電遅れ時間が約4 μ 秒以上となると、書き込みパルスの印加時間内に書き込み放電が発生せずに、書き込み不良によるちらつきが発生する。また、走査パルスの幅を長く設定する必要があるため、維持パルス数が制限され、十分な輝度を得ることが困難である。これに対し、放電遅れ時間が4 μ 秒以下になった場合、維持パルス数を制限するほどの幅の走査パルスは必要ないので、十分な輝度を得ることができる。更に、放電遅れ時間が1.8 μ 秒以下になった場合は、シングルスキャンで十分な走査期間の確保が可能となるので、駆動回路を低減できる。

【0039】放電遅れ時間の測定では、実際にPDPを組み立て、近接する他の表示セルにおける放電の影響を受けない孤立点として、縦横10個毎の表示セルで放電遅れ時間を測定した。図2(a)は印加パルスを示すタイミングチャート、(b)は放電により得られる発光スペクトルを示す模式図であり、図3は放電遅れ時間の測定における放電箇所を示す模式図である。図3中にハッチングで示す表示セル5で同時に放電を生じさせた。

【0040】図2(a)に示すように、放電を生じさせる際には、走査電極に-195Vのパルスを印加し、データ電極に70Vの電圧を印加し、これを1個の表示セルにつき2000回行った。この結果、図2(b)に示すように、発光スペクトルには若干の相違が生じるが、このうちで最も遅くピーク値に達した放電においてパルス印加の時刻からピーク値の10%まで発光スペクトルが低下した時刻までの時間をこの測定における放電遅れ時間とした。

【0041】このような測定方法により得られた前述のような傾向は、駆動方法又は放電セルの形状等が変更されても同様である。但し、放電遅れ時間の数値は駆動方法及び放電セルの形状等によって異なる。

【0042】従って、保護膜の体積抵抗率は $3.5 \times 10^{11} \Omega \cdot \text{cm}$ 以上とする。

【0043】なお、放電遅れは放電現象の見地から統計的遅れと形成遅れとの和によって構成されている。統計的遅れ及び形成遅れのうち、MgOの体積抵抗率によって変化する遅れは統計的遅れのみである。このため、統計的遅れ時間が体積抵抗率の増加によって短縮された場合でも、放電遅れ時間は形成遅れ時間に漸近して飽和する。図1に示すグラフを得る際に使用したPDPでは、形成遅れ時間は1 μ 秒程度であったため、図1より統計的な遅れ時間は体積抵抗率が $0.4 \times 10^{12} \Omega \cdot \text{cm}$ となったときにほぼ0 μ 秒となっていると考えられる。しかしながら、統計的な遅れ時間は体積抵抗率以外にも、例えば印加電圧によっても変化する。つまり、印加電圧を下げた場合、統計的な遅れ時間は増加する。従って、より低い印加電圧で駆動することを可能とするためには、体積抵抗率は $0.4 \times 10^{12} \Omega \cdot \text{cm}$ 以上であることが望ましい。

【0044】更に、本願発明者がMgO膜のカソードルミネッセンスを測定し、発光中心と放電遅れ時間との関係を検討した結果、以下のような関係を見出した。図4は横軸に発光波長をとり、縦軸に発光強度をとって両者の関係を示すグラフ図である。なお、図4において、実線は放電遅れ時間が1.2 μ 秒のPDPにおける発光強度を示し、破線は放電遅れ時間が2.0 μ 秒のPDPにおける発光強度を示し、一点鎖線は放電遅れ時間が3.0 μ 秒のPDPにおける発光強度を示している。また、発光強度は各曲線内においてその相対値に意味を有するものであり、その絶対値に特別な意味は存在しない。

【0045】図4に示すように、放電遅れ時間が1.2 μ 秒のPDPにおいては(実線)、520nm程度の発光波長のみで発光強度にピークが現れている。

【0046】一方、放電遅れ時間が2.0 μ 秒のPDPにおいては(破線)、520nm程度の発光波長及び360nm程度の発光波長で発光強度にピークが現れ、360nm程度の発光波長におけるピークの方が大きくなっている。

【0047】また、放電遅れ時間が3.0 μ 秒のPDPにおいては(一点鎖線)、400nm程度の発光波長及び730nm程度の発光波長で発光強度にピークが現れ、400nm程度の発光波長におけるピークの方が大きくなっている。

【0048】文献「M.O. Aboelfotoh: Binn. Display Res. Conf. Records. P62 (1978)」によると、発光波長360乃至400nmにおける吸収ピークは酸素欠損に起因しF'中心とよばれるピーク、発光波長520nm程度における吸収ピークはエキシトンに起因するピーク、発光波長730nm程度における吸収ピークは過剰酸素に起因するピークとされている。

【0049】従って、放電遅れ時間が短いパネルでは、酸素欠損及び過剰酸素に起因する欠陥が減少していると考えられる。この結果より、カソードルミネッセンスに

において510乃至560nmにおける発光中心の発光強度のピークが280乃至440nm又は680乃至760nmにおける発光中心の発光強度のピークよりも高くなっていることが望ましい。このとき、保護膜中の水素原子の数は、保護膜中の酸素原子及び金属原子の総欠損数以上含まれていると考えられる。

【0050】なお、カソードルミネッセンス（CL）とは、試料に電子線を照射したときにそのエネルギー緩和過程としての発光を検出し、試料中の欠陥等の情報を得る分析手法である。ここでのカソードルミネッセンスでは、一度PDPを組み立ててその放電遅れ時間を前述の方法により測定した後で、PDPを分解し、電子線を直接保護膜に照射してその発光を検出した。

【0051】次に、上述のような体積抵抗率を具備した保護膜を製造する方法について説明する。図5は保護膜の製造に使用する第1の成膜装置を示す模式図である。

【0052】第1の成膜装置には、仕切バルブ13により仕切られた蒸着チャンバ11及び水素処理チャンバ12が設けられている。

【0053】蒸着チャンバ11の上部には、誘電体膜等が既に形成されMgO膜が形成される基板14aが取り付けられる。また、蒸着チャンバ11の下部には、保護膜の原料としてMgOからなる蒸着源15が取り付けられる。また、蒸着チャンバ11には、基板14aを加熱するヒータ22並びにO₂ガス用のガス導入口（図示せず）が設けられている。

【0054】一方、水素処理チャンバ12の上部には、MgO膜が形成された基板14bが取り付けられる。水素処理チャンバ12には、基板14bを加熱するヒータ16及びチャンバ12内を加熱するヒータ17が配設されている。水素処理チャンバ12の下部には、外部の高周波電源（RF）20に接続された電極18及び19が配置されており、これらの電極18及び19の間で放電21が発生するようになっている。また、水素処理チャンバ12には、Arガス及びH₂ガス用のガス導入口（図示せず）が設けられている。

【0055】このように構成された第1の成膜装置を使用して保護膜を製造する場合、まず、蒸着チャンバ11の上部に基板14aを固定する。次いで、基板14aをヒータ22により、例えば230～270℃に加熱すると共に、真空度が約 8×10^{-4} Paに到達するまで蒸着チャンバ11内を排気する。次に、MgO膜の結晶配向を揃えるために、酸素ガスを30～80ml/分（標準状態）の流量で蒸着チャンバ11内に導入しながら、電子ビーム23を蒸着源15に照射することにより、基板14aの蒸着源15に対向する面上に5000乃至10000ÅのMgO膜を形成する。そして、仕切バルブ13を開き、MgO膜が形成された基板14bを水素処理チャンバ12内に移動させる。

【0056】続いて、水素処理チャンバ12において、

基板14b及び水素処理チャンバ12内を、夫々ヒータ16及び17により、例えば230～270℃に加熱する。更に、真空度が約 5×10^{-4} ～ 9×10^{-4} Paになるまで水素処理チャンバ12内を排気し、真空度が約 5×10^{-4} ～ 9×10^{-4} Paに到達した後、真空度が 2.1×10^{-4} Paになるように調圧しながらアルゴンガスを導入する。次いで、水素ガスを30～80ml/分（標準状態）の流量で導入しながら、高周波電源20により、例えば13.56MHzの高周波を電極18及び19に印加して水素処理チャンバ12内に放電21を発生させる。そして、放電21により水素原子を励起させてプラズマを発生させ、基板14bに成膜されているMgO膜を励起した水素に、例えば8～12分間曝すことにより、MgO膜の水素処理を行う。

【0057】図6は保護膜の製造に使用する第2の成膜装置を示す模式図である。

【0058】第2の成膜装置にも、仕切バルブ13により仕切られた蒸着チャンバ11及び水素処理チャンバ12aが設けられている。蒸着チャンバ11の構造は、第1の成膜装置のものと同様であるので、その詳細な説明は省略する。

【0059】水素処理チャンバ12aには、高周波電源20等のプラズマの発生手段が設けられておらず、その代わりに水素イオンの発生手段が設けられている。具体的には、水素処理チャンバ12a内にイオンを基板14bに向けて照射するイオン銃26が設けられている。イオン銃26は、水素処理チャンバ12aの外部に設けられた流量調整器（MFC：Mass Flow Controller）24を介して水素ポンプ25に連結されている。

【0060】このように構成された第2の成膜装置を使用して保護膜を製造する場合、第1の成膜装置を使用する場合と同様にしてMgO膜を成膜し、MgO膜が形成された基板14bを水素処理チャンバ12内に移動させる。

【0061】続いて、水素処理チャンバ12において、基板14b及び水素処理チャンバ12内を、夫々ヒータ16及び17により、例えば230～270℃に加熱する。更に、水素処理チャンバ12内を排気し、真空度が約 8×10^{-4} Paに到達した後、イオン銃26から水素イオンを基板14bに成膜されているMgO膜に照射することにより、MgO膜の水素処理を行う。水素の流量を20～100ml/分とした。

【0062】図7は保護膜の製造に使用する第3の成膜装置を示す模式図である。

【0063】第3の成膜装置は、第2の成膜装置における蒸着チャンバ11に水素処理チャンバ12aが一体化されたような構造を有している。

【0064】即ち、水素処理チャンバ12aは設けられておらず、蒸着チャンバ11内にヒータ17及びイオン銃26が設けられている。

【0065】このように構成された第3の成膜装置を使用して保護膜を製造する場合、例えば、基板14a及び蒸着チャンバ11内を、夫々ヒータ22及び17により200乃至270℃に加熱し、真空度を 2.7×10^{-2} Paにし、酸素ガス及び水素ガスを、夫々35乃至70 ml/分（標準状態）、10乃至30 ml/分（標準状態）の流量で導入し、電子ビーム23を蒸着源15に照射することにより、例えば80 Å/秒の速度でMgO膜を成膜する。また、これと同時に、成膜されていくMgO膜にイオン銃26から水素イオンを基板14bに照射することにより、MgO膜の水素処理を行う。このときの水素の流量は20～100 ml/分である。

【0066】水素含有量：保護膜全体の原子の数を100としたとき3原子以上

本願発明者が水素含有量と放電遅れ時間との関係について検討した結果、以下のような関係を見出した。図8は横軸に水素含有量（保護膜全体の原子の数を100としたときの水素原子の数）をとり、縦軸に放電遅れ時間をとって両者の関係を示すグラフ図である。

【0067】図8に示すように、水素含有量が上昇するに従って放電遅れ時間が短縮されている。放電遅れ時間は、前述のように、PDPの駆動方法及び放電セルの形状等に依存するものである。また、放電遅れ時間の許容範囲は走査ライン数、駆動方法に依存する。図8に示すグラフを得る際に使用したPDPでは、放電遅れ時間が約1.8 μ秒以上となると、走査期間の確保のためにPDPのデュアルスキャンが必要とされる。また、走査パルスの幅を長く設定する必要があるため、維持パルス数が制限され、十分な輝度を得ることが困難である。これに対し、放電遅れ時間が41.8秒未満であると、シングルスキャンで十分な走査期間の確保が可能なので、駆動回路を低減できる。また、維持パルス数を制限するほどの幅の走査パルスは必要ないので、十分な輝度を得ることができる。

【0068】また、本願発明者は水素含有量とプライミング完了電圧との関係について、以下のような関係を見出した。図9は横軸に水素含有量（保護膜全体の原子の数を100としたときの水素原子の数）をとり、縦軸にプライミング電圧をとって両者の関係を示すグラフ図である。ここでいうプライミング完了電圧とは、プライミング放電が書き込み不良及び誤灯を発生させることなくPDP表示面内に均一に形成される最低の電圧をいう。プライミング設定電圧が低いほど表示コントラストは向上するが、プライミング設定電圧がプライミング完了電圧近くなると、書き込み不良及び誤灯が発生しやすくなる。そのため、プライミング設定電圧には、通常プライミング完了電圧より20～50 V高い電圧を設定する。実際、図8に示すグラフを得る際に使用したPDPでは、プライミング完了電圧が180 V以上で、プライミング設定電圧を200 V以下にすると書き込み不良及び誤

灯の発生率が高くなった。

【0069】図8に示すグラフを得る際に使用したプライミング設定電圧は、プライミング完了電圧より20～50 V高い電圧を設定して測定したものである。このように、プライミング設定電圧をプライミング完了電圧に対して十分マージンをもって設定した場合、放電遅れ時間はプライミング設定電圧には依存しない。

【0070】このような傾向は、駆動方法又は放電セルの形状等が変更されても同様である。

【0071】従って、水素含有量は保護膜全体の原子の数を100としたとき3原子以上とする。

【0072】但し、水素含有量が保護膜全体の原子の数を100としたとき10原子を超えると、保護膜中の欠陥及び水酸化マグネシウムの含有量が増加して、保護膜としての耐スパッタリング性が低下するため、水素含有量は保護膜全体の原子の数を100としたとき10原子以下であることが好ましい。

【0073】更に、本願発明者が放電遅れ時間及び放電電圧と表面粗さRaとの関係を検討した結果、表面粗さRaが5 nm以上であると、保護膜表面に実効的にかかる電界が著しく増大するため、放電遅れ時間が短縮されると共に、放電電圧が低下することを見出した。従って、保護膜の表面粗さRaは5 nm以上であることが望ましい。

【0074】次に、上述のような水素含有量及び表面粗さを具備した保護膜を製造する方法について説明する。

【0075】このような保護膜は、例えば図17に示す従来の成膜装置又は上述の第1乃至第3の成膜装置を使用して製造することができる。例えば、チャンバ内の圧力を 2.0×10^{-2} 乃至 4.0×10^{-2} Paとし、チャンバ内雰囲気における水素と酸素との分圧比を0.3乃至1とし、基板温度を150乃至250℃とし、蒸着速度を1000乃至2000 Å/分として、5000乃至15000 Åの保護膜を成膜すれば、その保護膜の水素含有量は保護膜全体の原子の数を100としたとき3乃至10原子となり、その表面粗さRaは5 nm以上となる。

【0076】上述のようなチャンバ内の圧力等の条件下で、水素と酸素との分圧比のみを変化させて水素含有量への影響を調査するため、保護膜中に存在するH原子の数についてERDA（Elastic Recoil Detection Analysis）法によりシグナル高さを測定し、Mg原子及びO原子の数についてRBS（Rutherford Back-scattering Spectrum）法によりシグナル高さを測定した。なお、ERDA法は、RBS法における検出角度が入射ビーム軸に対して140°傾斜した角度であるのに対し、検出角度を入射ビーム軸に対して20°傾斜した角度としたものである。同様に、酸素原子の数に対する水素原子の数の割合を変化させて保護膜の表面粗さRaへの影響を調査するため、原子間力顕微鏡（AFM：Atomic Force

Microscopy) を使用して表面粗さ R_a を測定した。

【0077】図10はチャンバ内雰囲気における水素と酸素との分圧比を0.5とした場合のH原子及びMg原子のスペクトルを示す図であって、(a)はH原子のスペクトルを示すグラフ図、(b)はMg原子のスペクトルを示すグラフ図である。また、図11はチャンバ内雰囲気における水素と酸素との分圧比を0.2とした場合のH原子及びMg原子のスペクトルを示す図であって、(a)はH原子のスペクトルを示すグラフ図、(b)はMg原子のスペクトルを示すグラフ図である。

【0078】水素と酸素との分圧比を0.5とした場合、図10(a)及び(b)に示すように、H原子のシグナル高さは39、Mg原子のシグナル高さは2810となった。従って、この場合の原子数における保護膜中のH/Mgの比は0.13となる。一方、水素と酸素との分圧比を0.2とした場合、図11(a)及び(b)に示すように、H原子のシグナル高さは19、Mg原子のシグナル高さは3190となった。従って、この場合の原子数における保護膜中のH/Mgの比は0.05となる。

【0079】また、RBS法により別途測定した結果によると、水素と酸素との分圧比を0.5とした場合の原子数における保護膜中のO/Mgの比は1.20、水素と酸素との分圧比を0.2とした場合の原子数における保護膜中のO/Mgの比は1.02であった。

【0080】これらの結果より、水素と酸素との分圧比を0.5とした場合の保護膜の水素含有量は保護膜全体の原子の数を100としたとき5.6となり、水素と酸素との分圧比を0.2とした場合のそれは2.4となる。

【0081】図12はチャンバ内雰囲気における水素と酸素との分圧比を0.5とした場合の保護膜の表面形状を示す顕微鏡写真であり、図13はチャンバ内雰囲気における水素と酸素との分圧比を0.2とした場合の保護膜の表面形状を示す顕微鏡写真である。

【0082】原子間力顕微鏡を使用して保護膜の表面粗さ R_a を測定した結果、チャンバ内雰囲気における水素と酸素との分圧比を0.5とした場合には、 $R_a = 5.43 \text{ nm}$ であり、チャンバ内雰囲気における水素と酸素との分圧比を0.2とした場合には、 $R_a = 4.97 \text{ nm}$ であった。

【0083】図14はチャンバ内雰囲気における水素と酸素との分圧比を0.5とした場合のX線回折の結果を示す図であり、図15はチャンバ内雰囲気における水素と酸素との分圧比を0.2とした場合のX線回折の結果を示す図である。

【0084】いずれの場合であっても、X線回折(XRD: X-Ray Diffraction)によれば、保護膜は(111)配向を有しているといえる。(111)配向はMgOの単結晶の配向性であり、2次電子放出係数は大き

く、耐スパッタリング性が優れた配向性であることが広く知られている。従って、(111)配向を有する膜は、PDPの保護膜として好適である。

【0085】なお、0.3乃至1の水素と酸素との分圧比を得るためには、チャンバ内に酸素ガスと、水蒸気又は水素ガスを導入して分圧比を制御すればよい。水蒸気を導入した場合には、電子ビームにより生成されたプラズマにより水蒸気が水素及び酸素に解離されるので、分圧比の制御を行うことが可能となる。

【0086】また、保護膜を成膜する際には、成膜装置の内部と外部との間で基板を搬送するキャリア等の部品を使用する。これらの部品の表面に、例えば0.1乃至1mmの厚さのMgO膜を予め成膜しておいてもよい。この部品に成膜されたMgO膜は、チャンバの外部に出されたときに水分を吸収するので、その後基板と共にチャンバ内に入れられると、チャンバ内に水蒸気を分散させることができる。従って、外部から酸素ガスを流入することにより、チャンバ内の水素と酸素との分圧比を制御することができる。

【0087】

【発明の効果】以上詳述したように、本発明によれば、PDPにおける書き込みの放電遅れ時間及び放電電圧等と密接な関係を有する体積抵抗率及び水素原子の含有量を適切に規定しているので、放電遅れ時間を短縮することができる。この結果、輝度を向上させることができ、書き込み不良の発生を防止することができると共に、駆動回路の数を削減してコストを低減することができる。更に、駆動電圧(放電電圧)を低下させて消費電力を低減することもできる。

【図面の簡単な説明】

【図1】体積抵抗率と放電遅れ時間との関係を示すグラフ図である。

【図2】(a)は印加パルスを示すタイミングチャート、(b)は放電により得られる発光スペクトルを示す模式図である。

【図3】放電遅れ時間の測定における放電箇所を示す模式図である。

【図4】放電遅れ時間が異なるサンプルにおけるカソードルミネッセンスによる発光波長と発光強度との関係を示すグラフ図である。

【図5】保護膜の製造に使用する第1の成膜装置を示す模式図である。

【図6】保護膜の製造に使用する第2の成膜装置を示す模式図である。

【図7】保護膜の製造に使用する第3の成膜装置を示す模式図である。

【図8】水素含有量と放電遅れ時間との関係を示すグラフ図である。

【図9】水素含有量とプライミング電圧との関係を示すグラフ図である。

【図 10】チャンバ内雰囲気における水素と酸素との分圧比を 0.5 とした場合の H 原子及び Mg 原子のスペクトルを示すグラフ図である。

【図 11】チャンバ内雰囲気における水素と酸素との分圧比を 0.2 とした場合の H 原子及び Mg 原子のスペクトルを示すグラフ図である。

【図 12】チャンバ内雰囲気における水素と酸素との分圧比を 0.5 とした場合の保護膜の表面形状を示す顕微鏡写真である。

【図 13】チャンバ内雰囲気における水素と酸素との分圧比を 0.2 とした場合の保護膜の表面形状を示す顕微鏡写真である。

【図 14】チャンバ内雰囲気における水素と酸素との分圧比を 0.5 とした場合の X 線回折の結果を示す図である。

【図 15】チャンバ内雰囲気における水素と酸素との分圧比を 0.2 とした場合の X 線回折の結果を示す図である。

【図 16】メモリ動作型の交流駆動型カラープラズマディスプレイの構造を示す模式的分解図である。

【図 17】従来の保護膜の成膜装置を示す模式図である。

【図 18】(a) 及び (b) は横軸に時間を取り、縦軸に発光強度及び電圧をとって印加電圧と放電遅れ発光との関係を示すグラフ図である。

【符号の説明】

1 ; ガラス基板

* 2 ; 透明電極

3 ; MgO 膜

4 ; Ag 電極

5 ; 表示セル

11 ; 蒸着チャンバ

12 ; 水素処理チャンバ

13 ; 仕切バルブ

14 a、14 b ; 基板

15 ; 蒸着源

10 16、17、22 ; ヒータ

18、19 ; 電極

20 ; 高周波電源

21 ; 放電

23 ; 電子ビーム

24 ; 流量調整器

25 ; 水素ポンプ

26 ; イオン銃

101、102 ; 絶縁基板

103、104 ; 透明電極

20 105、106 ; トレース電極

107 ; データ電極

108 ; ブラックストライプ層

109 ; 隔壁

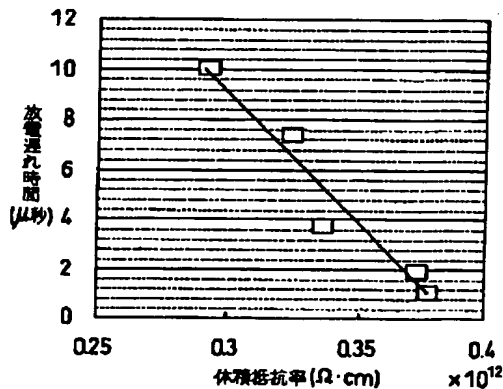
110 R、110 G、110 B ; カラーフィルタ層

111 ; 蛍光体層

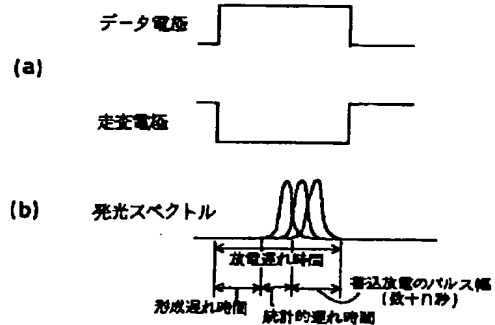
112、113 ; 誘電体層

* 114 ; 保護膜

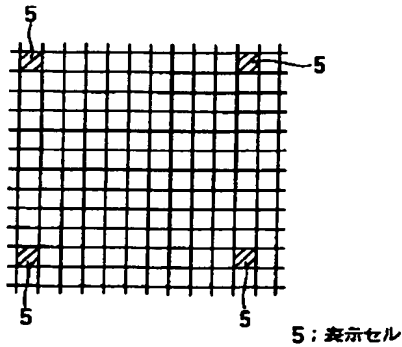
【図 1】



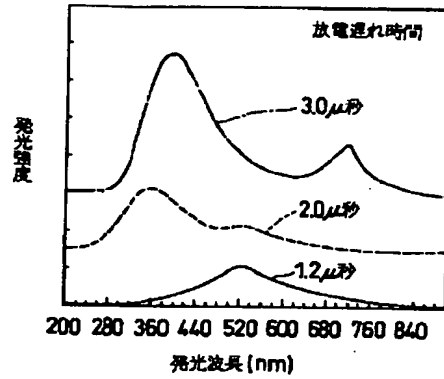
【図 2】



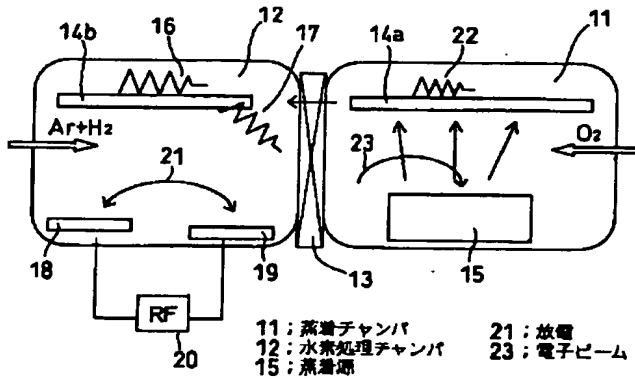
【図3】



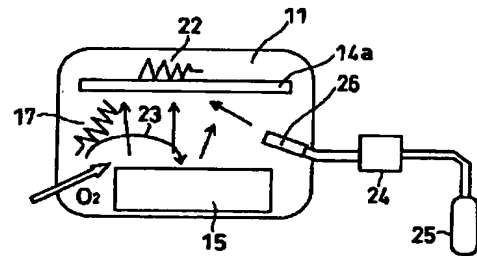
【図4】



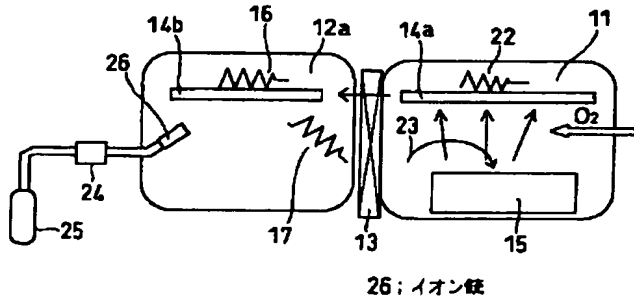
【図5】



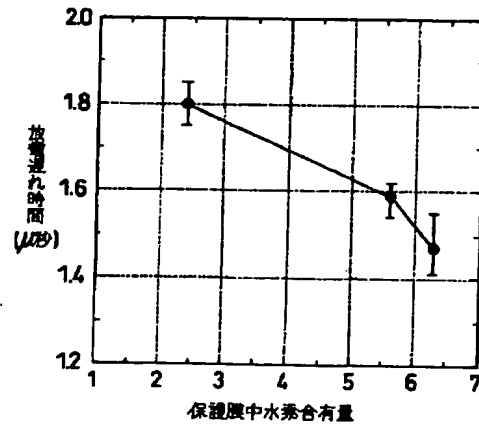
【図7】



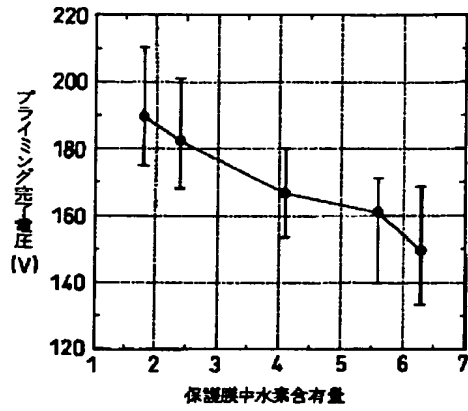
【図6】



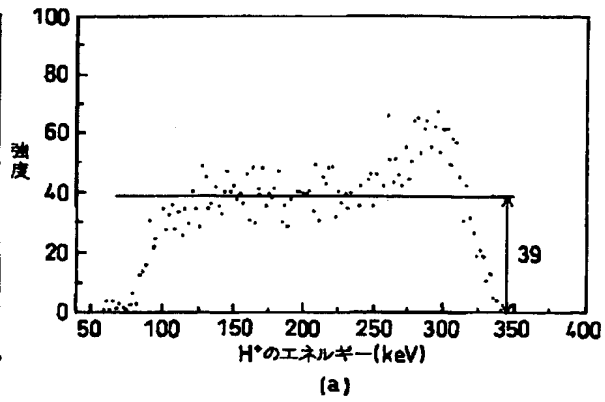
【図8】



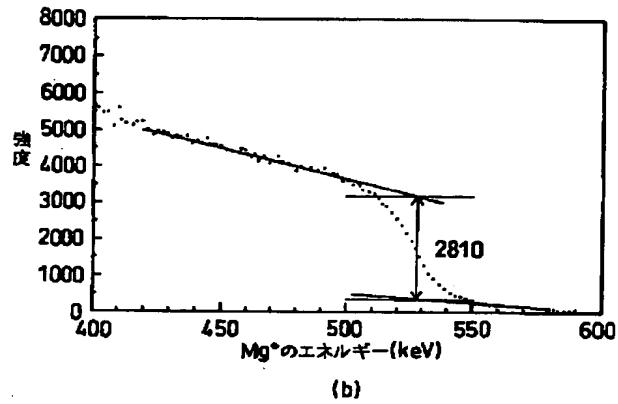
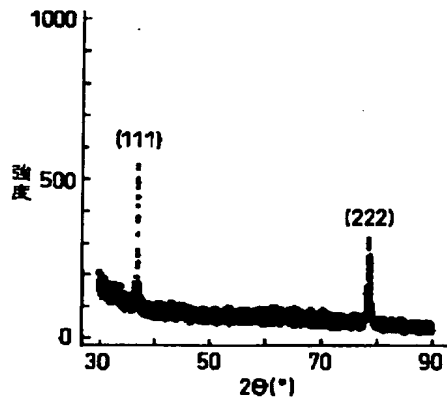
【図 9】



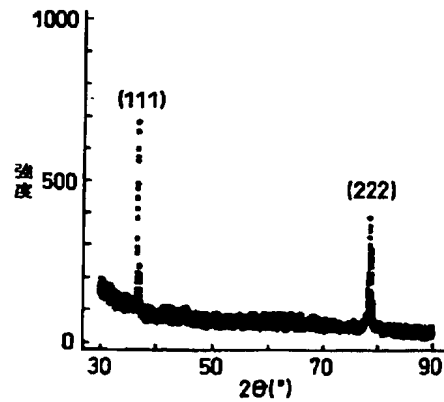
【図 10】



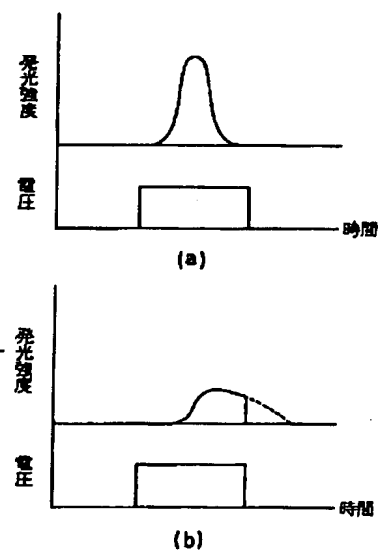
【図 14】



【図 15】



【図 18】



【図 17】

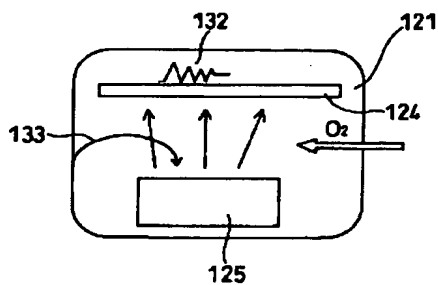
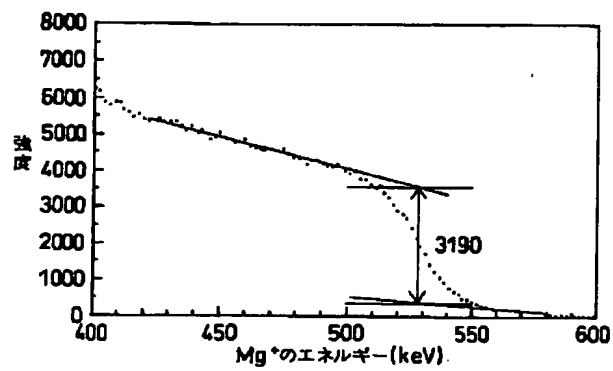


Figure 1 is a scatter plot showing the intensity of the H^+ signal as a function of H^+ energy (keV). The x-axis ranges from 50 to 400 keV, and the y-axis (Intensity) ranges from 0 to 100. A horizontal line is drawn at an intensity of approximately 20. A vertical arrow points to a peak at approximately 350 keV, labeled with the number 19.

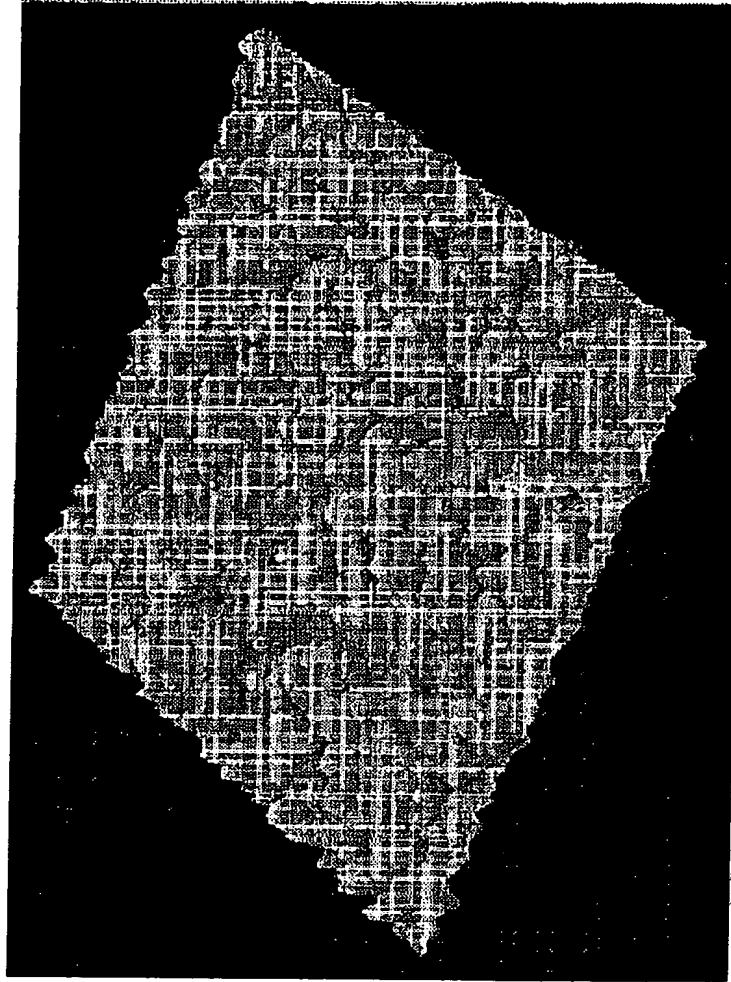
(a)



(b)

103、104：透明電極
112、113：液晶層
114：保護膜

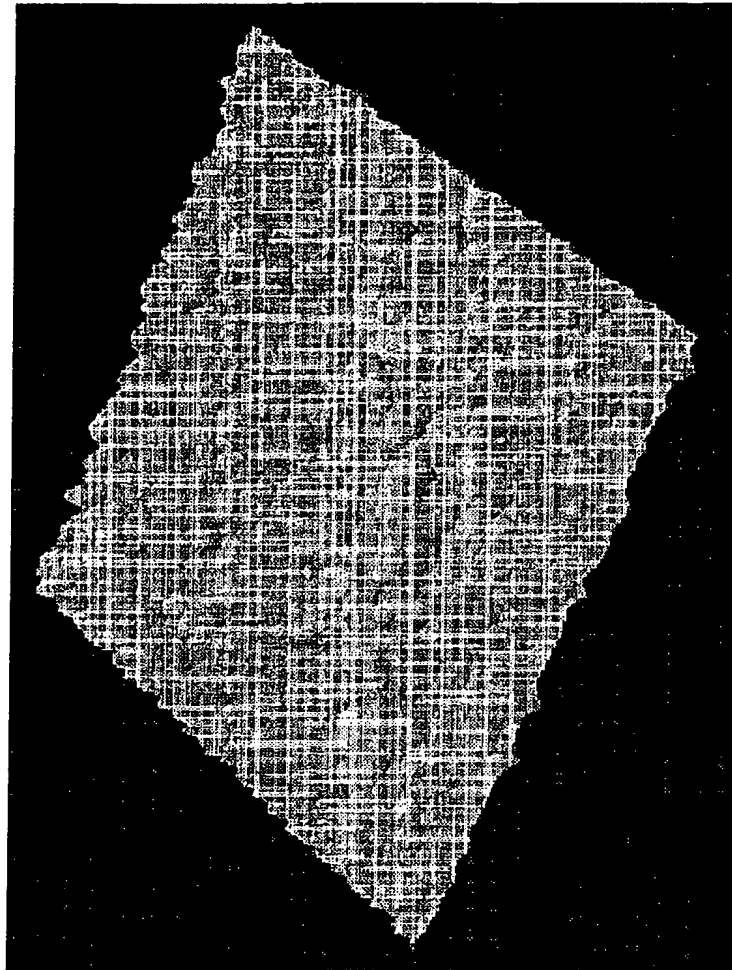
【図 12】



Area Ra : 5.4306 nm
Area RMS : 6.9506 nm
Avg. Height : 37.1854 nm
Max. Range : 58.2487 nm

BEST AVAILABLE COPY

【図 13】



Area Ra : 4.9721 nm
Area RMS : 6.4810 nm
Avg. Height : 51.2910 nm
Max. Range : 75.0906 nm

BEST AVAILABLE COPY

フロントページの続き

(72)発明者 小倉 健

鹿児島県出水市大野原町2080 鹿児島日本
電気株式会社内

(72)発明者 上田 健太郎

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72) 発明者 平野 俊明
東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

F ターム (参考) 4K029 BA43 BB00 BD00 CA02 DB21
GA01
5C027 AA10
5C040 FA01 GB03 GB14 GE01 JA07
KA04 MA10
5C058 AA11 AB06 AB07 BA05 BA32